

ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ПРОФЕССИОНАЛЬНОЕ ОБРАЗОВАТЕЛЬНОЕ
УЧРЕЖДЕНИЕ МОСКОВСКОЙ ОБЛАСТИ
«ДМИТРОВСКИЙ ТЕХНИКУМ»

УТВЕРЖДАЮ

Зам директора по учебно-методической
работе

 Н.Е.Горюшкина

«28» декабря 2021 г.

МЕТОДИЧЕСКИЕ РЕКОМЕНДАЦИИ
для обучающихся по выполнению практических заданий
демонстрационного экзамена с элементами World Skills
по компетенции «Электромонтаж»
для студентов специальности 13.02.03 Электрические станции, сети и системы

Рассмотрено и одобрено предметной (цикловой) комиссией общепрофессиональных и специальных дисциплин специальностей «Сетевое и системное администрирование», «Электрические станции, системы и сети»

Протокол № 5

От «28» сентября 2011 г.

Председатель комиссии  Агеев А.Ю.

Разработчик  Агеев Ю.В.

АННОТАЦИЯ

Данный материал может быть использован студентами специальности 13.02.03 Электрические станции, сети и системы в процессе подготовки к сдаче демонстрационного экзамена по компетенции «Электромонтаж».

Разработка прошивки для программируемых логических реле фирмы ONI по словесному описанию алгоритма автоматизации несложных технологических процессов в настоящее время является одним из заданий на демонстрационном экзамене.

В данном материале продемонстрирован процесс реализации многовходовой комбинационной функции с использованием блоков настраиваемой булевой логики. В ряде случаев подобное решение может помочь лучше структурировать программу на языке функциональных блоков и сэкономить ресурсы микроконтроллера логических реле.

В настоящее время микроэлектроника прочно вошла в область электроэнергетики. В качестве примера можно назвать программируемые реле фирмы ONI.

Несложную логику управления объектами электроэнергетики по словесному описанию может реализовать даже не специалист в области программирования при помощи приложения ONI PLR STUDIO на языке функциональных блоков.

Для реализации 4-входовых комбинационных функций в этом случае будет полезным функциональный блок настраиваемой логики. В случае его использования схема соединений и количество используемых функциональных блоков может существенно сократиться. Выигрыш заметен в случае сравнительно сложной комбинационной функции, поскольку количество связей и блоков в данном случае не меняется. Изменяется только таблица истинности функции.

В качестве примера рассмотрим варианты реализации 4-разрядной комбинационной функции $y = \{3, 7, 11, 13\}$. Уравнение логической функции записано в сокращенной форме.

Таблица истинности для данной функции будет иметь вид:

Таблица 1

Таблица истинности четырехвходовой комбинационной функции

X4	X3	X2	X1	$y = \{3, 7, 11, 13\}$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

В качестве первого варианта реализуем вышеупомянутую комбинационную функцию традиционным для цифровых устройств способом: в виде «суммы произведений», а также при помощи блока настраиваемой булевой логики (рис. 1).

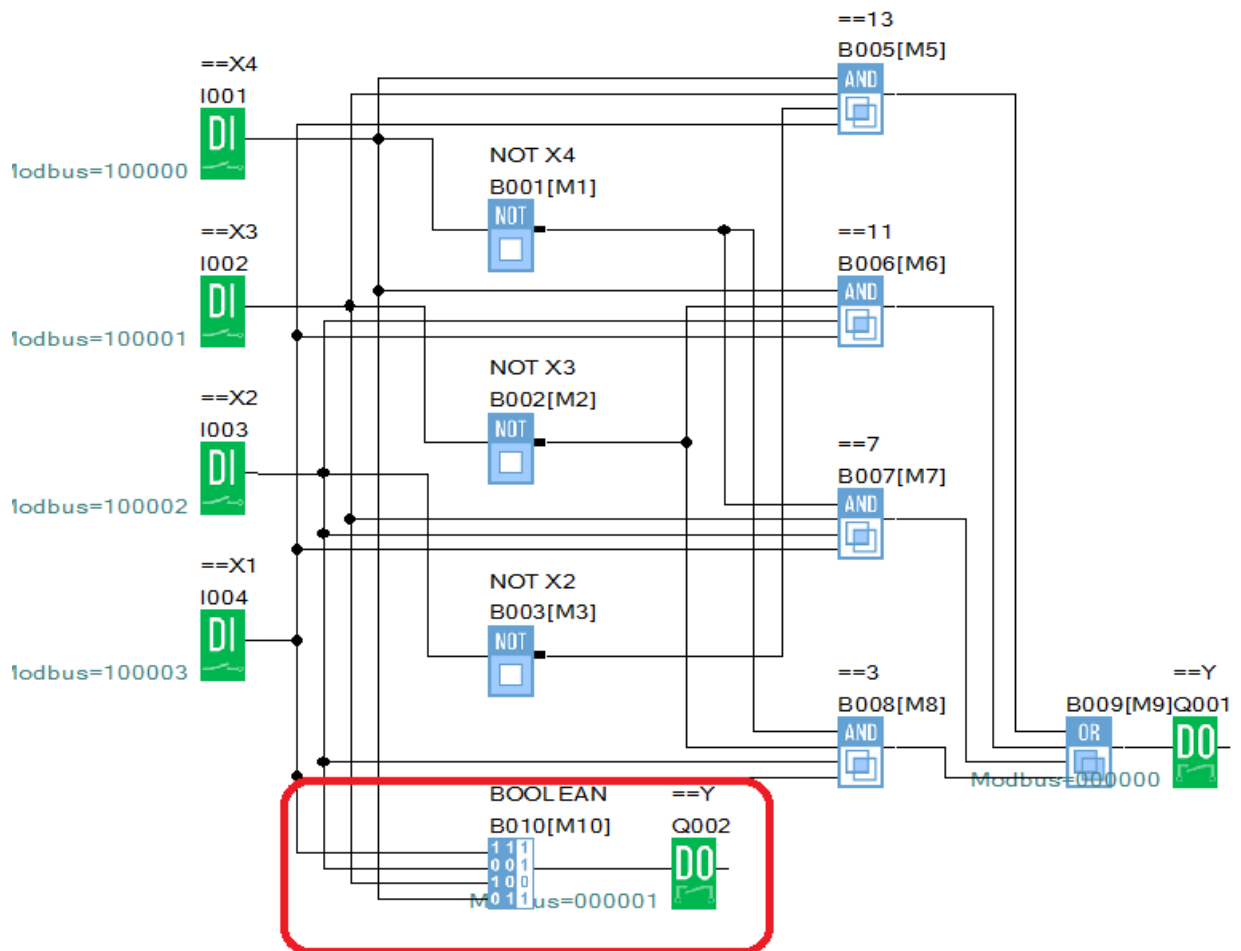


Рис. 1. Два варианта реализации комбинационной функции

На данном рисунке красной рамкой обведен вариант реализации комбинационной функции при помощи блока настраиваемой булевой логики. Легко заметить, что один такой блок вместил в себя три инвертора, 4 блока 4И и один блок 4ИЛИ. Налицо существенное упрощение схемы и, как следствие, уменьшение количества ошибок проектирования. Дополнительным преимуществом подобного варианта реализации комбинационной функции можно считать легкость перенастройки блока булевой логики, что не приводит в ряде случаев к перерисовке схемы.

На рис. 2 приведен скриншот симуляции работы схемы, выборочно подтверждающий идентичность функционала обоих вариантов. Симуляция работы разрабатываемого алгоритма является обязательным этапом разработки прошивки на языке функциональных блоков.

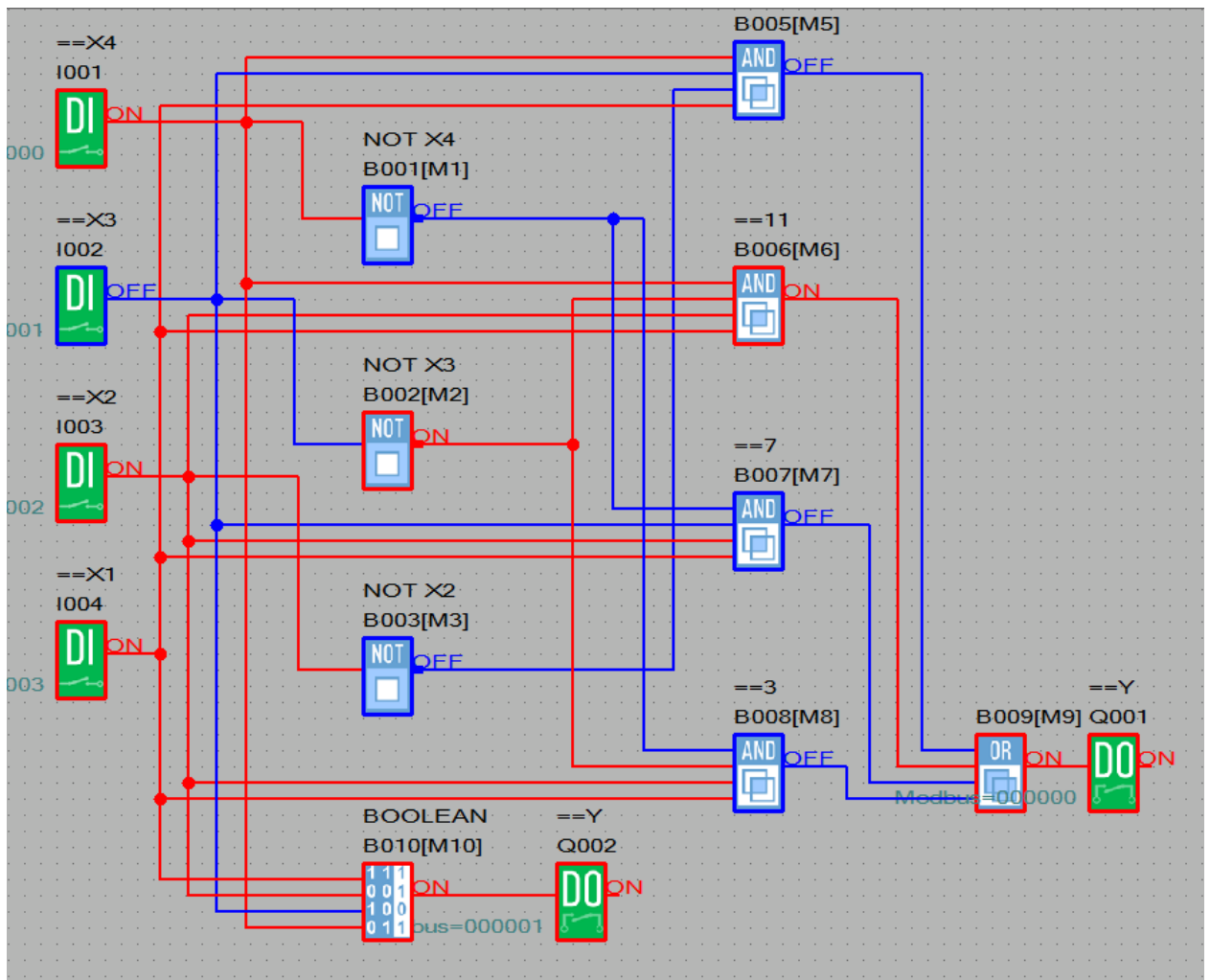


Рис. 2. Симуляция работы двух вариантов реализации комбинационной функции для состояния входов $X_4X_3X_2X_1 = 1011$ (11_{10})

На рис. 3 приведены данные для настройки блока булевой логики. Здесь следует обратить внимание на порядок следования входных переменных в блоке настраиваемой булевой логики в среде программирования ONI PLR STUDIO (она **обратная**): $X_1X_2X_3X_4$. Т.е. от младшего разряда к старшему. Невнимательность может привести к возникновению дополнительных трудно устранимых ошибок.

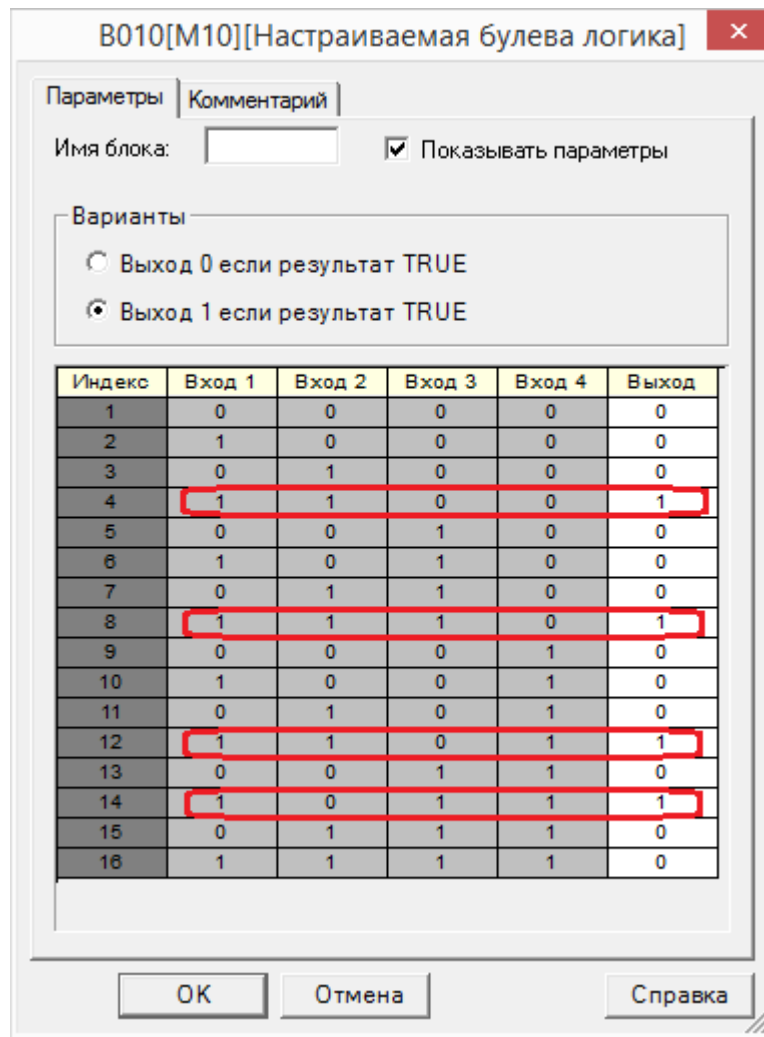


Рис. 3. Настройки блока булевой логики

Скачать актуальную версию ONI PLR STUDIO можно здесь https://oni-system.com/podderzhka/po/#collapse_11. Раздел «Поддержка», подраздел «Программное обеспечение». Дополнительно следует скачать драйвер USB для обеспечения возможности заливки созданной прошивки в память логического реле (рис. 4).

Программируемые контроллеры

- Базовые контроллеры
- Микро ПЛК
- Логические реле
 - ONI PLR Studio-v3.4.1.6. [Скачать](#)
 - Драйвер для USB. [Скачать](#)

Рис. 4. Среда разработки и USB драйвер

Однако все меняется, когда число входов реализуемой комбинационной функции превышает разрядность блока настраиваемой булевой логики (в нашем случае – 4).

Рассмотрим вариант реализации пятиходовой комбинационной функции. Для понимания принципа достаточна таблица истинности, содержащая две единицы в столбце

для выходного значения функции. Выберем входные комбинации следующим образом. Одну – из первой половины пространства состояний входов (например, $11_{10} = 01011_2$), а вторую – из второй половины (например, $21_{10} = 10101_2$). Здесь и далее индексы обозначают основание системы счисления.

Традиционный (если можно так выразиться) вариант комбинационной функции реализуем в виде «суммы произведений». Вариант с блоками настраиваемой булевой логики нуждается в предварительной проработке (выработке своего рода алгоритма проектирования).

Итак, блок схема второго варианта будет состоять из двух блоков настраиваемой булевой логики и своего рода мультиплексора (переключателя), управляемого старшим (пятым) входом проектируемой функции. В случае, если $X_5=0$ мультиплексор пропускает на выход данные от первого настраиваемого булевого блока (содержащего, как было оговорено, реакцию проектируемой функции на первые 16 входных комбинаций, т.е. реакция проектируемой функции в данном случае легко реализуется на одном настраиваемом булевом блоке (как было ранее выбрано, для единственной входной комбинации $X_5X_4X_3X_2X_1 = 01011_2$ без учета состояния старшего разряда X_5 , т.е. для 1011_2).

Во второй настраиваемый булев блок записываем реакцию на опять же таки единственную входную комбинацию $X_5X_4X_3X_2X_1 = 21_{10} = 10101_2$ также без учета состояния старшего разряда X_5 , т.е. на 1011_2 .

Следовательно, если входных состояний в диапазоне от 00000 до 01111 несколько, реакцию записываем в первый (младший) настраиваемый булев блок. Старший разряд отбрасываем. Помним, что в данном случае нулевой старший разряд можно и не учитывать.

Аналогично записываем реакцию на входные состояния в диапазоне от 10000 до 11111 . Старший разряд также отбрасываем. В этом случае помним, что реакцию записываем уже для преобразованных чисел (вычитаем удельный вес старшего разряда).

В общем случае реакция на входные (без старшего разряда) состояния для обоих булевых блоков может частично совпадать.

На рис. 5 приведен вариант реализации пятивходовой комбинационной функции на двух настраиваемых булевых блоках. Третий блок используется в качестве мультиплексора 2×1 .

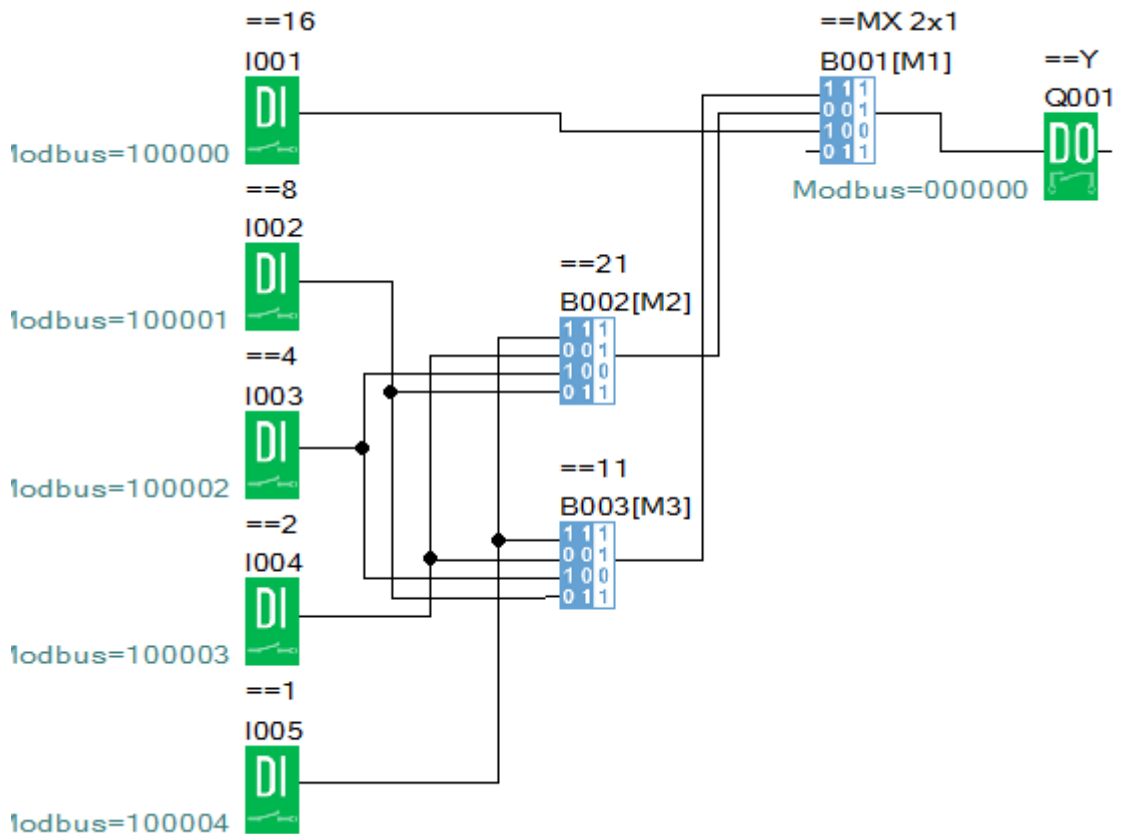
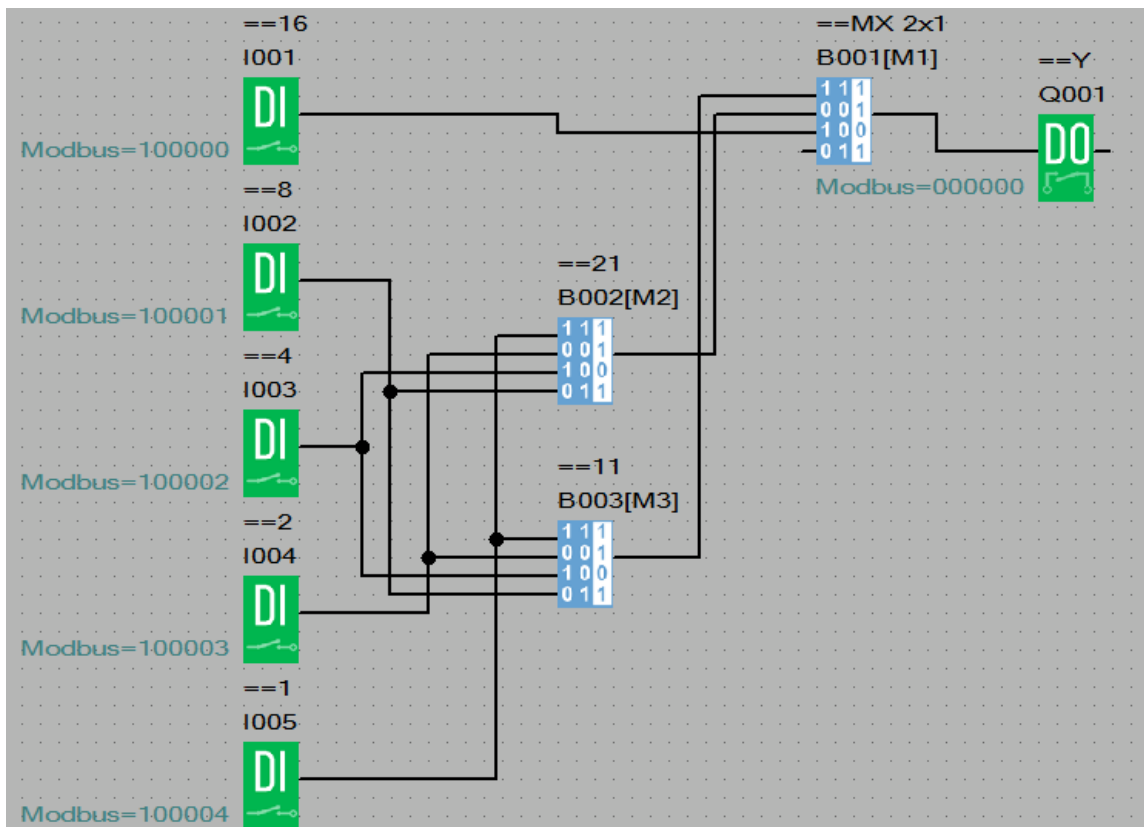


Рис. 5. Реализация 5-входовой комбинационной функции на трех настраиваемых блоках булевой логики

На рис 6. приведены настройки данных блоков.

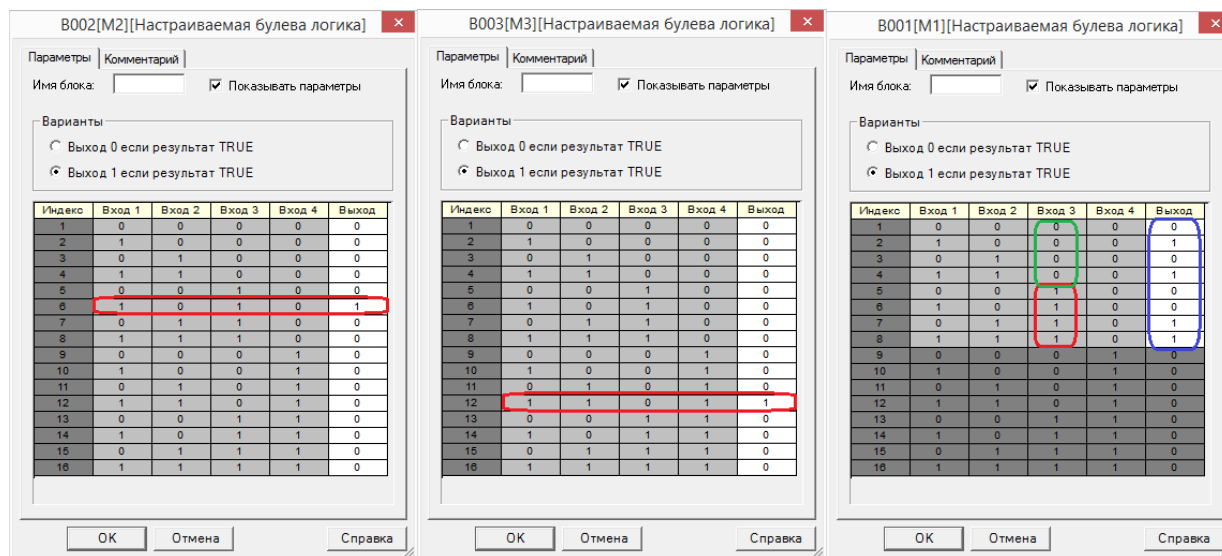
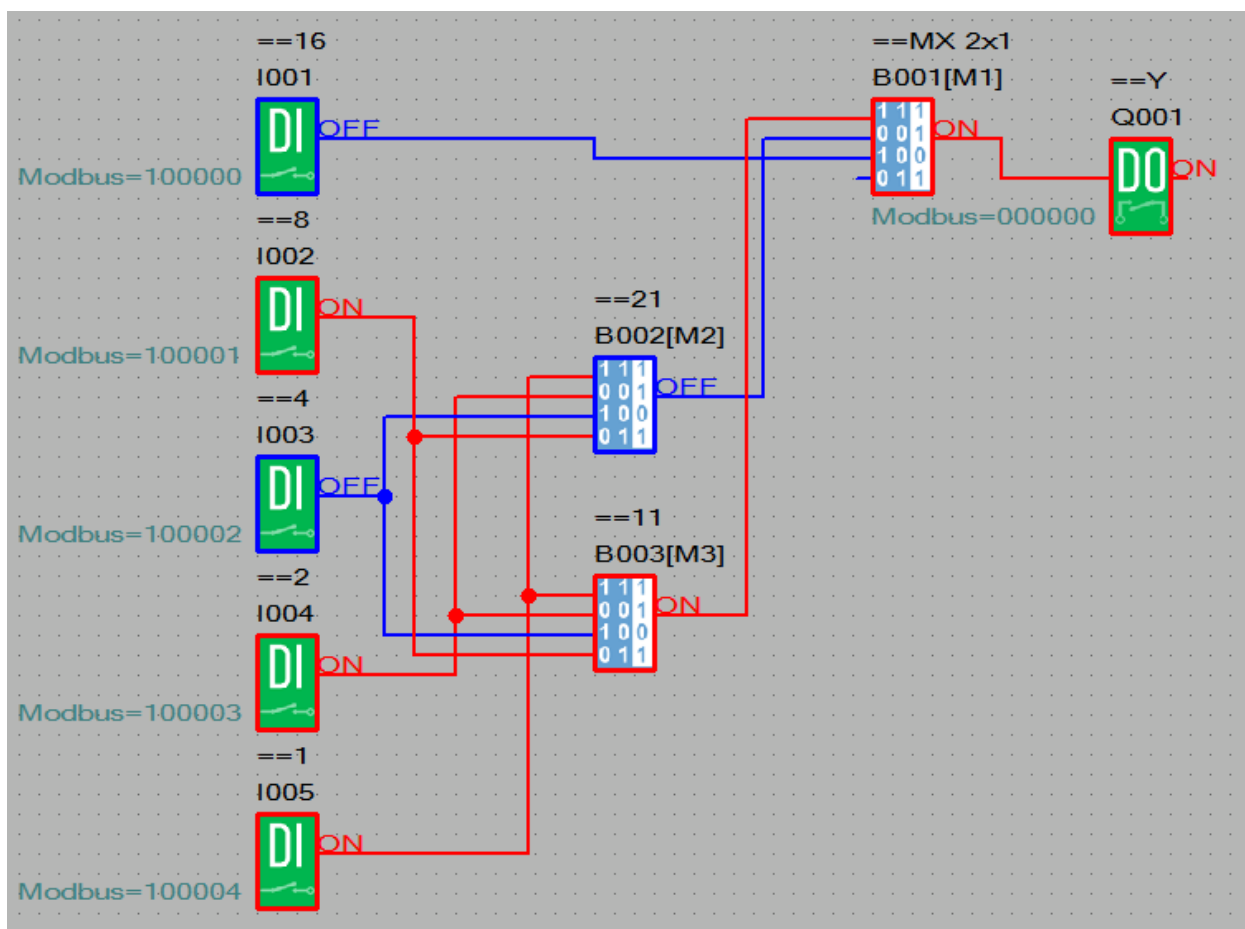


Рис. 6. Настройки булевых блоков: старшего, младшего и мультиплексора.

На рис. 7 приведены скриншоты симуляции работы пятивходовой комбинационной функции.



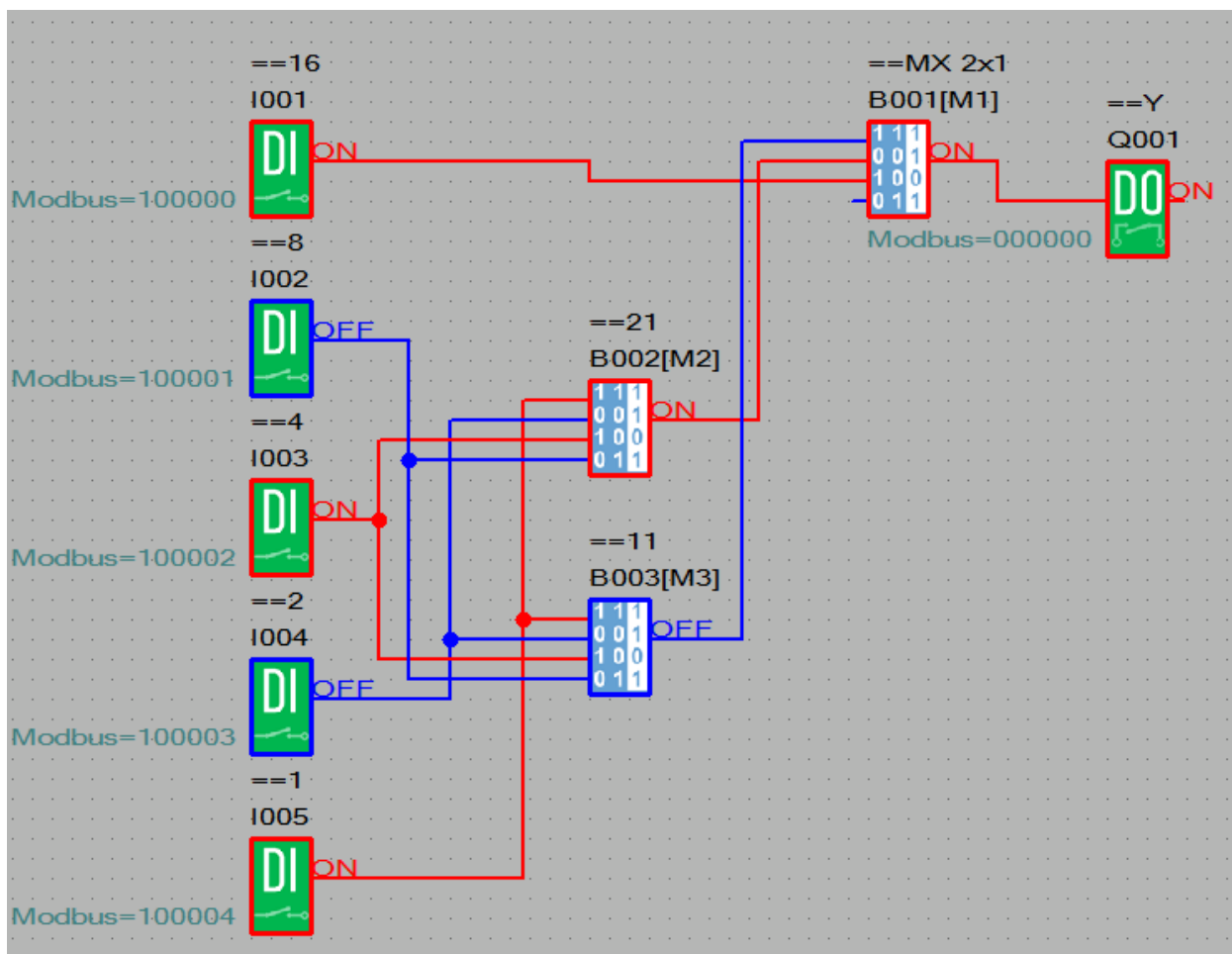


Рис. 7. Скриншоты симуляции работы пятивходовой комбинационной функции

Таким образом, наблюдается удвоение числа элементов схемы при добавлении одного дополнительного разряда. Следовательно, целесообразно ограничить максимальное число входов при данном способе реализации комбинационных входов **шестью входами.**

На рис. 8 приведена реализация шестивходовой комбинационной функции типа $y = \{11, 21, 44, 54\}$. Входные состояния специально подобраны так, чтобы для каждого настраиваемого блока была только одна реакция. Легко заметить, что от количества срабатывания схемы ее сложность не зависит. Изменения вносятся лишь в настройки соответствующих булевых блоков.

Для сравнения, реализация **этой** функции на элементах 4И, 4ИЛИ и НЕ была бы затруднительной (рис. 8).

Можно заметить, что наиболее компактная схема получается в случае, если частичное произведение содержит только четыре сомножителя и количество таких произведений не превышает четырех.

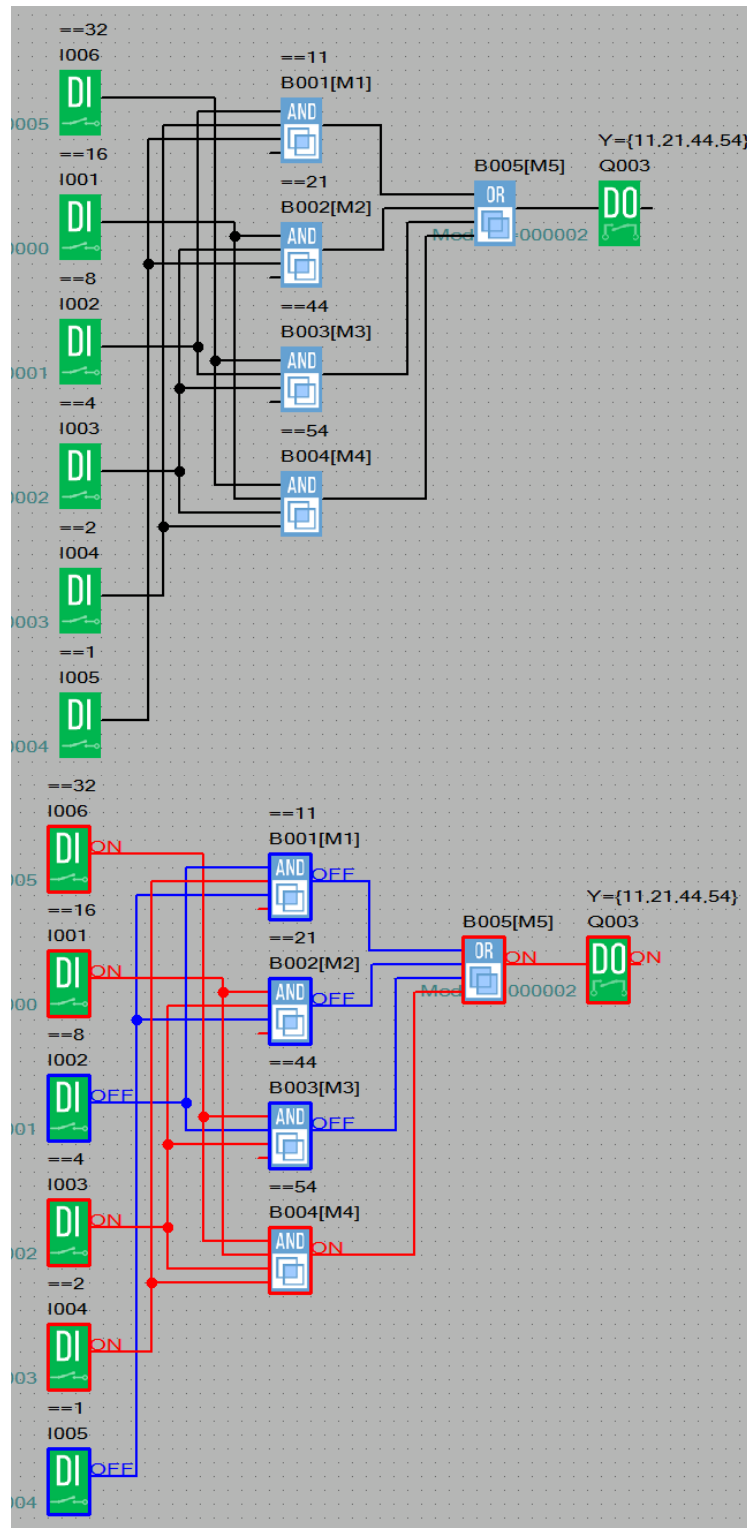


Рис. 8. Реализация шестивходовой комбинационной функции на элементах 4И и 4ИЛИ

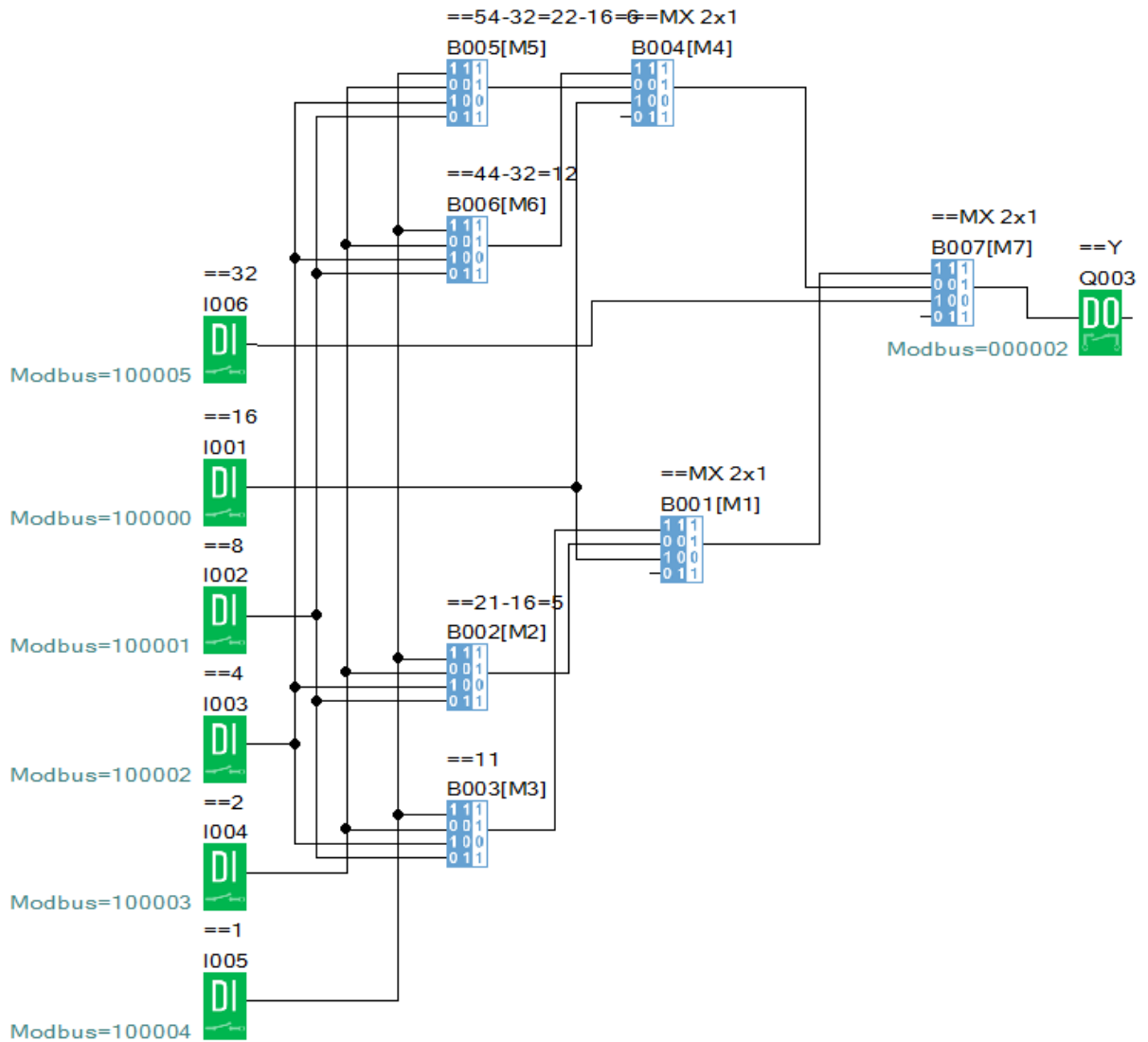


Рис. 8 Реализация шестивходовой комбинационной функции при помощи блоков настраиваемых булевых функций.

В заключение следует отметить, что добавление дополнительного **выхода** в комбинационную функцию влечет за собой **удвоение** числа элементов схемы.